

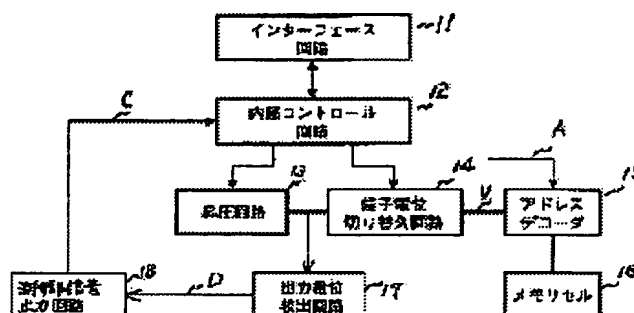
NONVOLATILE SEMICONDUCTOR MEMORY

Patent number: JP10293998
Publication date: 1998-11-04
Inventor: MORI YASUMICHI
Applicant: SHARP CORP
Classification:
 - International: G11C16/06; G11C16/02
 - european:
Application number: JP19970102834 19970421
Priority number(s):

Abstract of JP10293998

PROBLEM TO BE SOLVED: To enhance the reliability of a memory without increasing a write time, an erase time and a consumption current by stopping a write operation and a erase operation in accordance with facts in which the output potential of a boosting circuit becomes low or it becomes high for a period equal to or longer than a prescribed period.

SOLUTION: A control signal outputting circuit 18 outputs an activated control signal C to be activated when the detection signal D of the output of an output potential detecting circuit 17 is outputted for a period equal to or longer than a preliminarily set period to an internal control circuit 12. Then, the circuit 18 is consisting of a delay circuit and an AND gate and the control signal C becomes an H level only when the detection signal D has an H level period equal to or longer than a low potential detection time. As a result, the control signal C is not activated by a pulse shaped detection signal D whose time, is equal to or shorter than the low potential detection time being in an instantaneous potential reduction and it is not informed to the internal control circuit 12 that the output of a boosting circuit 13 is in a low potential state.



(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 10 - 293998

(43)公開日 平成10年(1998)11月4日

(51)Int. Cl.⁶

G 1 1 C 16/06
16/02

識別記号

F I

G 1 1 C 17/00 6 3 2 A
6 1 2 E

審査請求 未請求 請求項の数3

O L

(全 1 1 頁)

(21)出願番号 特願平9-102834

(22)出願日 平成9年(1997)4月21日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 森 康通

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

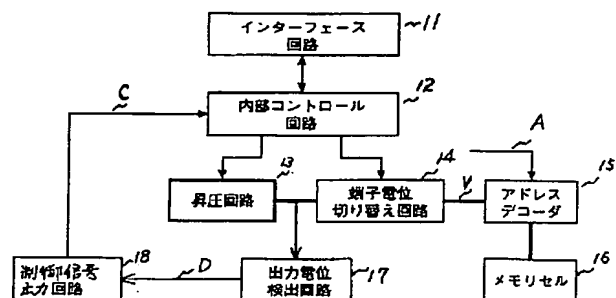
(74)代理人 弁理士 梅田 勝

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【課題】 書き込み・消去時間や消費電流の増加を招くことなく、不揮発性半導体記憶装置の信頼性を高めること。

【解決手段】 内部に昇圧回路13を有し、該昇圧回路13により生成された高電圧を用いてメモリセル16への情報書き込み・消去を行う不揮発性半導体記憶装置に於いて、上記昇圧回路13の出力に接続され、上記昇圧回路13の出力電位が、予め設定された所定の電位より低くなったことを検出して、その期間、検出信号Dを出力する出力電位検出回路17と、該出力電位検出回路17よりの上記検出信号Dの出力が、予め設定された所定時間以上継続したことを検出して制御信号Cを出力する制御信号出力回路18と、上記制御信号Cを入力として有し、該制御信号により、メモリセル16への情報書き込み・消去動作を停止させる機能を有する内部コントロール回路12とを設ける。



【特許請求の範囲】

【請求項 1】 内部に昇圧回路を有し、該昇圧回路により生成された高電圧を用いてメモリセルへの情報書き込み・消去を行う不揮発性半導体記憶装置に於いて、上記昇圧回路の出力に接続され、上記昇圧回路の出力電位が、予め設定された所定の第 1 電位より低くなったこと、及び／又は予め設定された所定の第 2 電位より高くなったことを検出して、その期間、検出信号を出力する出力電位検出回路と、
該出力電位検出回路よりの上記検出信号の出力が、予め
10 設定された所定時間以上継続したことを検出して制御信号を出力する制御信号出力回路と、
上記制御信号を入力として有し、該制御信号により、メモリセルへの情報書き込み・消去動作を停止させる機能を有する制御回路とを設けて成ることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 請求項 1 に記載の不揮発性半導体記憶装置に於いて、上記所定の第 1 電位及び／又は所定の第 2 電位が可変であることを特徴とする不揮発性半導体記憶装置。

【請求項 3】 請求項 1 又は 2 に記載の不揮発性半導体記憶装置に於いて、上記所定時間が可変であることを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電氣的に書き込み・消去が可能な不揮発性半導体記憶装置に係るものであり、特に、内部に昇圧回路を有し、該昇圧回路により生成された高電圧を用いてメモリセルへの情報書き込み・消去を行う不揮発性半導体記憶装置に関するものである。

【0002】

【従来の技術】通常、不揮発性半導体記憶装置に於いて行うメモリセルへの電氣的な書き込み・消去動作には、電源電位（通常 5 V 程度）と比較して高電位（12 V 程度）が必要とされている。この高電位を外部より直接与える方法もあるが、最近では、高電位を半導体記憶装置内部にある昇圧回路により電源電位から昇圧して生成することが多い。

【0003】内部に昇圧回路を有する不揮発性半導体記憶装置の従来の構成について、昇圧回路を中心として図 2 に示す。図に示すように、内部に昇圧回路を有する従来の不揮発性半導体記憶装置は、昇圧回路 23、メモリセルに与える端子電位を切り替えるための端子電位切り
40 替え回路 24、該端子電位切り替え回路 24 により出力された電位 V を、アドレス信号 A により選択されたメモリセルの端子に与えるためのアドレスデコーダ回路 25、情報の記憶を行うメモリセル 26、内部コントロール回路 22 に接続され、外部から入力されたコマンドの認識や内部の状態を外部に出力する機能を有するインタ

ーフェース回路 21、該インターフェース回路 21 から
の制御信号により予め設定されたシーケンスに従い各回路（図示しない回路も含む）に書き込み又は消去のための制御信号（図示しない制御信号も含む）を出力する機能を有する内部コントロール回路 22 などから構成されている。この場合、昇圧回路 23 に供給される外部電源と、その他の内部回路（図示しない回路も含む）に接続される外部電源とは、外部端子から分割されていることが多い。なぜなら、昇圧回路が動作を始める際に、外部端子を通して外部電源から急激に昇圧回路に電流が供給され、一時的に電源電位が下がることにより、回路内部の誤動作を引き起こす可能性があるからである。この昇圧回路専用の電源を V_{PP} （通常、電源電位 V_{CC} と同電位）と呼ぶ。

【0004】不揮発性半導体記憶装置に書き込みコマンド又は消去コマンドを与えると、書き込み又は消去動作を始める。インターフェース回路 21 により、入力されたコマンドが書き込み又は消去コマンドであることが認識されると、インターフェース回路 21 は、内部コントロール回路 22 に対して、書き込み又は消去のシーケンスに基づき、内部回路を動作させるよう制御信号を出力する。これを受けた内部コントロール回路 22 は、昇圧回路 23 に対して、昇圧動作を開始するよう制御信号を出力する。これにより、昇圧回路 23 は、昇圧回路専用の電源である V_{PP} から、書き込み又は消去動作に必要な高電位の生成を開始する。

【0005】一方、外部から入力された書き込み又は消去の対象となるメモリセルのアドレスから生成されたアドレス信号 A により、アドレスデコーダ回路 25 は、メモリセル 26 の中から、書き込み又は消去の対象となるメモリセルを選択する。この際、選択されるメモリセルは、複数の場合もある。また、端子電位切り替え回路 24 は、選択されたメモリセルの端子に所望の電位を与えるため、アドレスデコーダ回路 25 に、昇圧回路 23 により生成された高電位を供給する。端子電位切り替え回路 24 も内部コントロール回路 22 からの制御信号を受けており、該制御信号に応じてアドレスデコーダ回路 25 に供給する電位を切り替えられるようになっている。

【0006】選択されたメモリセルの端子に、端子電位切り替え回路 24、アドレスデコーダ回路 25 を通じて、昇圧回路 23 により生成された高電位が供給されることにより、選択されたメモリセルは、書き込み又は消去モードになる。書き込み又は消去モードとは、メモリセルの端子電位が書き込み又は消去に必要な電位となり、又は、必要な電流が供給され、書き込み又は消去可能な状態を示す。

【0007】ここで、書き込み又は消去動作中に、不測の事態により、昇圧回路専用の外部電源である V_{PP} が極端な電位低下を起こしたり、遮断された場合を考える。これらは、ユーザが、書き込み又は消去動作中に、外部

電源を切り離したり、不揮発性半導体記憶装置が搭載されているシステムの電源を遮断した場合に相当する。あるメモリセルが書き込み又は消去動作モードであるときに、これらの原因により、それまで与えられていた端子電位が極端に低下すると、それら書き込み又は消去モードであるメモリセルには、正常に書き込み又は消去動作を続行することができない。また、何らかの不具合で昇圧回路が正常に動作しない場合など、昇圧回路の出力電位が所望の電位より低い場合も同様である。このように、上記理由に起因する誤書き込みや誤消去などを防ぎ、内部データを保護すると共に、書き込み又は消去動作時間の遅延によるシステム側の不具合などを防ぎ、システムの信頼性を向上させるためには、その状態のまま書き込み又は消去動作を続行することはできない。

【0008】上記の問題を解決するためには、昇圧回路が動作している期間は、その出力電位を監視し、出力電位が所定の電位よりも低いときには、メモリセルへの書き込み又は消去動作を中断・禁止する手段を追加すればよい。

【0009】次に、第2の従来技術として、昇圧回路の出力電位が所定の電位よりも低いときに書き込み及び消去動作を中断・禁止する手段を設けた特開平7-50097号公報に記載の不揮発性半導体記憶装置の構成を図3に示す。この例では、昇圧回路33に接続された出力電位検出回路37が昇圧回路33の出力電位を常に監視し、出力電位が所定の電位に達していない場合は、端子電位切り替え・遮断回路34により、昇圧回路33の出力電位のアドレスデコード回路35への供給を遮断するものである。なお、同図において、31はインターフェース回路、32は内部コントロール回路、36はメモリセルである。この回路によれば、昇圧回路の出力電位が所定の電位に達していない場合は、該電位のアドレスデコード回路への供給を遮断し、メモリセルへの誤書き込みなどの不具合を未然に防止することができる。

【0010】

【発明が解決しようとする課題】一般的に、昇圧回路は多数のキャパシタンス成分を有することなどから、チップ上で大きな面積を占有する。チップ面積の縮小が低コスト・高歩留まりに寄与することから、昇圧回路においても占有面積をできるだけ小さくすることが求められている。このため、昇圧回路の電流供給能力等の電気的特性には、それほど能力的な余裕がないのが通常である。また、昇圧回路は、その出力を所望の電位に維持するように設計されているため、電流供給能力が、その都度適切な値になるように内部クロックの周波数を変化させるための回路が組み込まれていることが多い。これら昇圧回路の内部動作については、各種の公知資料により明らかにされている。このため、内部回路のスイッチング動作などにより昇圧回路の出力にかかる負荷が変化した場合は、昇圧回路は、その都度適切な電流供給能力になる

ように状態を変化しようとする。このため、例えば、負荷が急激に大きくなったときには、昇圧回路が、その負荷に適した電流供給能力に切り替わるまでの遅延時間により、昇圧回路の出力電位は瞬時的に低電位になることがある。瞬時的な低電位状態の発生は、昇圧回路の電流供給能力に余裕がない場合に特に起こりやすい。この電位低下は、前述したような電源の遮断等による継続的なものではなく、あくまで瞬時的なものである。この瞬時的な出力電位の低下は、一連の書き込み又は消去の手順の中で、メモリセルへの書き込み動作から書き込みベリファイ動作への切り替わりなどの動作の切り替わりタイミングでの内部回路のスイッチングにより起こる負荷の変動や、内部回路のスイッチングにより瞬時的にDCバス（昇圧回路の出力と接地電位の経路）ができたことによる。これらは、書き込み・消去動作に影響を与えるものではないため、書き込み・消去の中断や中止を行う必要はない。

【0011】しかしながら、前述の第2の従来技術によると、瞬時的な昇圧電位の低下が起こった際にも、端子電位切り替え・遮断回路34により昇圧回路出力の供給が遮断される。これでは、瞬時的な昇圧電位の低下が発生するたびに、書き込み・消去動作が中断してしまうことになり、書き込み・消去時間の増加を招くことになる。また、昇圧回路の出力電位が遮断されるたびに、それまで高電位が供給されていた回路と、昇圧回路において余分な電流が消費されることになる。

【0012】また、昇圧回路からの出力電位が、所定のレベル（例えば、12V）を超えると、書き込み動作時にワード線に必要以上の高電位が印加されることになり、書き込み動作中の選択セルについては、オーバープログラムが生じる可能性を有し、また、選択ワード線に繋がる非選択メモリセルについては、ゲートディスターブが発生し、トンネル電流により電子がフローティングゲートに注入される不都合が生じる。更に、必要以上の高電位により、メモリセルに恒久的なダメージが加わる可能性もある。したがって、かかる場合についても、昇圧回路出力の供給を遮断する必要があるが、その所定レベル以上の高電位の印加が短時間で終了する場合は、特に、供給を遮断する必要は無い。

【0013】本発明は、このような現状に鑑みてなされたものであり、その目的は、昇圧回路の出力電位が所定期間以上、所定電位よりも低くなったことに応じて、或いは、所定期間以上、所定電位よりも高くなったことに応じて、書き込み・消去動作を停止させることにより、書き込み・消去時間や消費電流の増加を招くことなく、不揮発性半導体記憶装置の信頼性を高めることにある。

【0014】

【課題を解決するための手段】請求項1に係る本発明の不揮発性半導体記憶装置は、内部に昇圧回路を有し、該昇圧回路により生成された高電圧を用いてメモリセルへ

の情報書き込み・消去を行う不揮発性半導体記憶装置に於いて、上記昇圧回路の出力に接続され、上記昇圧回路の出力電位が、予め設定された所定の第1電位より低くなったこと、及び／又は予め設定された所定の第2電位より高くなったことを検出して、その期間、検出信号を出力する出力電位検出回路と、該出力電位検出回路よりの上記検出信号の出力が、予め設定された所定時間以上継続したことを検出して制御信号を出力する制御信号出力回路と、上記制御信号を入力として有し、該制御信号により、メモリセルへの情報書き込み・消去動作を停止させる機能を有する制御回路とを設けて成ることを特徴とするものである。

【0015】また、請求項2に係る本発明の不揮発性半導体記憶装置は、上記請求項1に係る不揮発性半導体記憶装置に於いて、上記所定の第1電位及び／又は所定の第2電位が可変であることを特徴とするものである。

【0016】更に、請求項3に係る本発明の不揮発性半導体記憶装置は、上記請求項1又は2に係る不揮発性半導体記憶装置に於いて、上記所定時間が可変であることを特徴とするものである。

【0017】かかる本発明の不揮発性半導体記憶装置によれば、昇圧回路の出力が、所定期間以上、所定電位よりも低くなったことに応じて、或いは、所定期間以上、所定電位よりも高くなったことに応じて、書き込み・消去動作が停止されるものである。

【0018】

【発明の実施の形態】以下、本発明の実施形態について、図面を参照して詳細に説明する。

【0019】図1は、本発明の一実施形態である不揮発性半導体記憶装置の構成図である。

【0020】本実施形態の不揮発性半導体記憶装置は、昇圧回路13、メモリセルに与える端子電位を切り替えるための端子電位切り替え回路14、該端子電位切り替え回路14により出力された電位Vを、アドレス信号Aにより選択されたメモリセルの端子に与えるためのアドレスデコード回路15、情報の記憶を行うメモリセル16、内部コントロール回路12に接続され、外部から入力されたコマンドの認識や内部の状態を外部に出力する機能を有するインターフェース回路11、該インターフェース回路11からの制御信号により予め設定されたシーケンスに従い各回路（図示しない回路も含む）に書き込み又は消去のための制御信号（図示しない制御信号も含む）を出力する機能を有する内部コントロール回路12などを具備している。

【0021】本実施形態においては、上記構成に加え、昇圧回路13に接続され、該昇圧回路13の出力電位が予め設定された所定電位より低い場合に検出信号Dを出力する出力電位検出回路17を具備している。昇圧回路13が動作している期間、昇圧回路の出力である高電位は、出力電位検出回路17によって常に監視されてい

る。

【0022】出力電位検出回路17の一例を図4に示す。出力電位検出回路の入力aの電位が高電位より徐々に下がり、入力aの電位－入力aの電位×（抵抗成分1の抵抗値）／（抵抗成分1の抵抗値＋抵抗成分2の抵抗値）の値が、PチャネルMOSトランジスタの閾値以下になると、PチャネルMOSトランジスタが、オン状態からオフ状態に遷移し、インバータの入力dの電位が下降し始める。その電位が、インバータの閾値以下に低下すると、出力電位検出回路17の出力bは、“H”レベルになり、入力aの電位が設定された電位以下になったことを示す。“H”レベルとは、電源電位と同一レベルを示し、“L”レベルとは接地電位と同一レベルを示す。この際に、抵抗成分1、2及び3の抵抗値、PチャネルMOSトランジスタの閾値、並びにインバータの閾値によって決定される、出力bが“H”レベルになる、入力aの電位を低電位検知レベルという。

【0023】なお、出力電位検出回路17の構成は、図4の構成に限定されない。また、抵抗成分は、どのような要素で実現してもよい。例えば、拡散抵抗、ポリシリコン抵抗あるいはトランジスタ等で形成可能である。

【0024】また、抵抗成分の抵抗値を可変とし、低電位検知レベルを複数の値に設定可能としてもよい。かかる構成とすることにより、電源電位或いは使用环境温度等に応じて、最適の検知レベルを設定することができるものである。

【0025】本実施形態においては、更に、上記出力電位検出回路17の出力である検出信号Dを入力とし、検出信号Dが、予め設定された期間以上の期間、出力されたときのみ活性化され内部コントロール回路12に制御信号Cを出力する制御信号出力回路18を具備している。該制御信号出力回路18の一例を図5に示す。図に示すように、制御信号出力回路は、遅延回路とアンドゲートとで構成されている。遅延回路はどのように構成されていてもよいが、例えば、複数段（偶数）の縦続接続されたインバータで構成することができる。

【0026】入力eには、上記出力電位検出回路17より出力される検出信号Dが入力される。遅延回路が実現する遅延時間を、低電位検知時間という。入力eに、低電位検知時間以上の“H”レベル期間を持つ検出信号Dが入力されたときのみ、e、gが共に“H”レベルとなって、出力f（制御信号C）が“H”レベルになる。これにより、瞬時的な電位低下による、低電位検知時間以下のパルス状の入力eでは、出力fは活性化されず、内部コントロール回路12に、昇圧回路13の出力が低電位状態であることを伝えない。

【0027】また、上記制御信号出力回路18は、クロック制御になっていてもよい。図6に、そのように構成した他の構成例を示す。この場合、制御信号出力回路は、複数の（図では、4個）のクロック（Clock）

制御ラッチ回路とアンドゲートとで構成されている。ラッチ回路の構成を図 13 に示す。各ラッチ回路は、クロック信号 Clock の立ち下がりで入力レベル（“H” レベル又は“L” レベル）を記憶し、クロック信号 Clock が“L” レベルの間は、入力レベルにかかわらず、記憶しているレベルを出力する。クロック信号 Clock が“H” レベルの期間は、入力レベルと同じレベルを出力する。また、クロック信号 Clock としては、一定の周期を持つ矩形波が入力される。内部コントロール回路がクロック制御である場合は、内部コントロール回路で用いられている内部クロック信号を接続してもよい。

【0028】制御信号出力回路 18 の入力 e が“H” レベルに遷移すると、クロック信号の位相に伴い、各ラッチ回路間を“H” レベルが伝播される。最終段のラッチ回路の出力 g が“H” レベルになり、且つ、その時点で、入力 e が“H” レベルであった場合にのみ、出力 f（制御信号 C）が“H” レベルになり、内部コントロール回路に昇圧回路の出力が低電位検知レベルより低くなっていることを伝える。制御信号出力回路の入力 e に、（クロック信号 Clock の周期×ラッチ回路段数）よりも短いパルス状の“H” レベル信号が入力された場合、最終段のラッチ回路の出力 g が“H” レベルになった時点では、制御信号出力回路の入力 e は“L” レベルに戻っているため、制御信号出力回路の出力 f は“H” レベルにはならず、内部コントロール回路には、昇圧回路の出力電位が低電位検知レベルよりも低くなっていることを伝えない。このように、（クロック信号 Clock の周期×ラッチ回路段数）以下の幅を持つパルス状の検出信号 D が入力 e に与えられた際には、この信号を、書き込み或いは消去動作に影響を与えない瞬時的な電位低下によるものと判断し、内部コントロール回路に伝えない。上記クロック信号 Clock の周期とラッチ回路段数とで定められる時間、すなわち、（クロック信号 Clock の周期×ラッチ回路段数）を低電位検知時間という。

【0029】制御信号出力回路の構成は、図 5 及び図 6 の構成に限定されない。例えば、図 7 に示すように、別の制御信号 Select により、ラッチ回路の段数を変化させ、上記低電位検知時間を複数の値に設定できる回路構成も可能である。この例では、2 ビットの制御信号 Select により 4 : 1 マルチプレクサ回路の 4 つの入力から 1 つを選択することができる。制御信号 Select により、有効となるラッチ回路の段数を変えることができるので、電源電圧などの動作条件により低電位検知時間を最適にすることが可能である。

【0030】制御信号出力回路 18 より出力された制御信号 C は内部コントロール回路 12 に入力され、内部コントロール回路 12 は、該制御信号に基づき、書き込み動作或いは消去動作を停止させる制御信号を各回路に出力する。

【0031】次に、本実施形態の動作について説明する。

【0032】インターフェース回路 11 が、書き込み又は消去のコマンドを外部より受け取ると、本実施形態の不揮発性半導体記憶装置は、書き込み又は消去動作を開始する。インターフェース回路 11 により、入力されたコマンドが書き込み又は消去コマンドであることが認識されると、インターフェース回路 11 は内部コントロール回路 12 に対して、書き込み又は消去動作のシーケンスに基づき内部回路を動作させるよう制御信号を送る。これを受けた内部コントロール回路 12 は、昇圧回路 13 に対して、書き込み又は消去動作に必要な高電位を生成するために、昇圧動作を開始するよう制御信号を送る。これにより、動作可能状態となった昇圧回路 13 は、昇圧回路専用の電源である V_{PP} から書き込み又は消去動作に必要な高電位の生成を開始する。

【0033】制御信号を受けて、高電位の生成を開始した昇圧回路 13 は、昇圧回路セットアップ時間を経て、その出力を、書き込み又は消去動作可能な電位にする。出力が、書き込み又は消去可能な電位に達すると、内部コントロール回路 12 は、あらかじめ設定された手順に基づき、書き込み又は消去に関する回路（図示しない回路も含む）に制御信号（図示しないものも含む）を送り、書き込み又は消去動作を実行させる。書き込み動作の手順の一例を図 8 に示して説明する。書き込み動作には、書き込み準備（上記昇圧回路セットアップ時間を含む）、書き込み、書き込み後ベリファイ、再書き込み、後処理の動作が必要である。書き込み準備は、昇圧回路のセットアップや、入力されたアドレスに基づくメモリの選択などである。書き込みは、選択されたメモリセルを書き込み動作モードにし、メモリセルへの書き込みを実際に行う動作である。書き込み後ベリファイは、メモリセルへの書き込みが正常に行われたか否かを確認する動作である。再書き込みは、書き込み後ベリファイの結果により行われ、正常に書き込みが行われなかったメモリセルに対して、再度書き込みを行う動作である。後処理は、昇圧回路の昇圧動作を停止させる、書き込み動作が正常に終了したことを外部に報知する、などの動作である。

【0034】上記書き込み動作の手順を実行していく中で、各モードの切り替え時には内部コントロール回路 12 からの制御信号により書き込み動作に関する回路の状態が一斉に変化する。その際、端子電位切り替え回路 14 内部の状態の遷移（スイッチング）により、昇圧回路 13 の出力が瞬時的に接地電位に引かれたり、出力にかかる負荷成分値が大きく変化したりする。昇圧回路 13 は、その出力の状況変化に応じて、電流供給能力を変化させようとするが、反応時間が十分に速くない場合、昇圧回路 13 の出力の電位は瞬時的に低電位になることがある。

【0035】図9に、書き込み動作の手順と昇圧回路13の出力の電位との関係のモデルを示す。図9に示されるように、書き込み動作の手順の中で、各モードの切り替えタイミングに同期して、昇圧回路の出力が瞬時的に低電位になることがあるが、上記制御信号出力回路18により、内部コントロール回路12に、昇圧回路出力が低電位検知レベル以下になったことは伝えられない。このため、書き込み動作を中断或いは一時停止することなく遂行する事ができる。

【0036】また、昇圧回路専用の電源である V_{PP} 電位が低くなった等の理由により、昇圧回路13の出力の電位が、低電位検知時間以上の期間、低電位検知レベルを下回ると、制御信号出力回路18から制御信号Cが出力され、内部コントロール回路12に、その旨が伝達される。

【0037】図10に、その際の昇圧回路13の出力、検出信号D、内部コントロール回路12への制御信号Cの波形図の一例を示す。昇圧回路13の出力の電位が、セットアップ時間を経て高電位になってから、図10では、2回の瞬時的な電位低下が見られる。上述の通り、瞬時的な電位低下では、内部コントロール回路12への制御信号Cは”H”レベルにならない。その後、昇圧回路13の出力の電位が低電位検知時間以上の期間、低電位検知レベル以下になると、これ以上の書き込み動作の続行は不可能と判断され、制御信号Cが”H”レベルになり、内部コントロール回路12に、書き込み動作を中止するよう伝える。制御信号Cを受けた内部コントロール回路12は、昇圧回路13の昇圧動作を停止させるとともに、書き込み動作に係る各回路（図示しない回路も含む）に、書き込み動作を中止して通常状態（リセット状態）になるよう制御信号を送る。また、制御信号Cを受けた内部コントロール回路12は、更に、インターフェース回路11を通して、外部に、書き込み動作が異常終了したことを伝える。インターフェース回路11は、特定のピンや、内部にもつレジスタ等を通じて、外部に、書き込みの異常終了を伝える事ができる。

【0038】以上、書き込み動作を例に挙げて説明したが、消去動作についても同様である。

【0039】また、上記実施形態においては、昇圧回路の出力が、所定期間以上、所定レベル以下になったときに、書き込み又は消去動作を停止させる構成としていたが、昇圧回路出力が必要以上に高くなり、その状態が継続することによって生じる不都合を排除するために、低電位検知回路に代えて高電位検知回路を設ける構成も有効である。

【0040】図11に、高電位検知回路の一例を示す。入力aの電位が所定の高電位より上昇し、入力aの電位 \times （抵抗成分1の抵抗値）／（抵抗成分1の抵抗値＋抵抗成分2の抵抗値）の値が、NチャネルMOSトランジスタの閾値以上になると、NチャネルMOSトランジ

スタが、オフ状態からオン状態に移り、インバータの入力dの電位が下降し始める。その電位が、インバータの閾値以下に低下すると、出力bは、”H”レベルになり、入力aの電位が設定された電位以上になったことを示す。”H”レベルとは、電源電位と同一レベルを示し、”L”レベルとは接地電位と同一レベルを示す。この際に、抵抗成分1、2及び3の抵抗値、NチャネルMOSトランジスタの閾値、並びにインバータの閾値によって決定される、出力bが”H”レベルになる、入力aの電位を高電位検知レベルという。

【0041】なお、高電位検知回路の構成は、図11の構成に限定されない。また、抵抗成分は、どのような要素で実現してもよい。例えば、拡散抵抗、ポリシリコン抵抗あるいはトランジスタ等で形成可能である。

【0042】また、抵抗成分の抵抗値を可変とし、高電位検知レベルを複数の値に設定可能としてもよい。かかる構成とすることにより、電源電位或いは使用環境温度等に応じて、最適の検知レベルを設定することができるものである。

【0043】更に、上記低電位検知回路及び高電位検知回路の双方を設けて、昇圧回路の出力が所定期間以上、高電位検知レベルを越えた場合、及び、低電位検知レベル以下になった場合の何れに於いても、書き込み、消去動作を停止させる構成としてもよい。この場合の構成を図12に示す。図に示すように、出力電位検出回路は、昇圧回路の出力が並列に与えられる高電位検知回路と低電位検知回路とを含み、該2つの電位検知回路の出力の論理和信号を出力電位検出回路の出力信号（検出信号D）としている。

【0044】

【発明の効果】以上詳細に説明したように、本発明の不揮発性半導体記憶装置は、内部に昇圧回路を有し、該昇圧回路により生成された高電圧を用いてメモリセルへの情報書き込み・消去を行う不揮発性半導体記憶装置に於いて、上記昇圧回路の出力に接続され、上記昇圧回路の出力電位が、予め設定された所定の第1電位より低くなったこと、及び／又は予め設定された所定の第2電位より高くなったことを検出して、その期間、検出信号を出力する出力電位検出回路と、該出力電位検出回路よりの上記検出信号の出力が、予め設定された所定期間以上継続したことを検出して制御信号を出力する制御信号出力回路と、上記制御信号を入力として有し、該制御信号により、メモリセルへの情報書き込み・消去動作を停止させる機能を有する制御回路とを設けて成ることを特徴とするものであり、かかる本発明の不揮発性半導体記憶装置によれば、昇圧回路が出力する高電位の瞬時的な電位低下、或いは、瞬時的な電位上昇によつては、制御信号出力回路は活性化されず、継続的な電位低下及び電位上昇が生じた場合においてのみ、制御信号出力回路が活性化される。したがって、書き込み、消去動作に影響のな

い瞬時的な電位低下、或いは電位上昇によって、不必要な書き込み、消去動作の中断を招くことがなく、本発明の不揮発性半導体記憶装置によれば、書き込み、消去時間や、消費電流の増加を招くことなく、信頼性の高い不揮発性半導体記憶装置を提供することができるものである。

【図面の簡単な説明】

【図 1】本発明の一実施形態の不揮発性半導体記憶装置の構成図である。

【図 2】従来の不揮発性半導体記憶装置の構成図である。

【図 3】他の従来の不揮発性半導体記憶装置の構成図である。

【図 4】図 1 に示される出力電位検出回路の構成図である。

【図 5】同制御信号出力回路の構成図である。

【図 6】同制御信号出力回路の他の例の構成図である。

【図 7】同制御信号出力回路の更に他の例の構成図である。

【図 8】書き込み動作の手順の一例を示すフローチャートである。

トである。

【図 9】書き込み動作の手順と昇圧回路の出力の電位との関係を示す図である。

【図 10】昇圧回路の出力、検出信号、内部コントロール回路への制御信号の一例を示す波形図である。

【図 11】高電位検知回路の一例の構成図である。

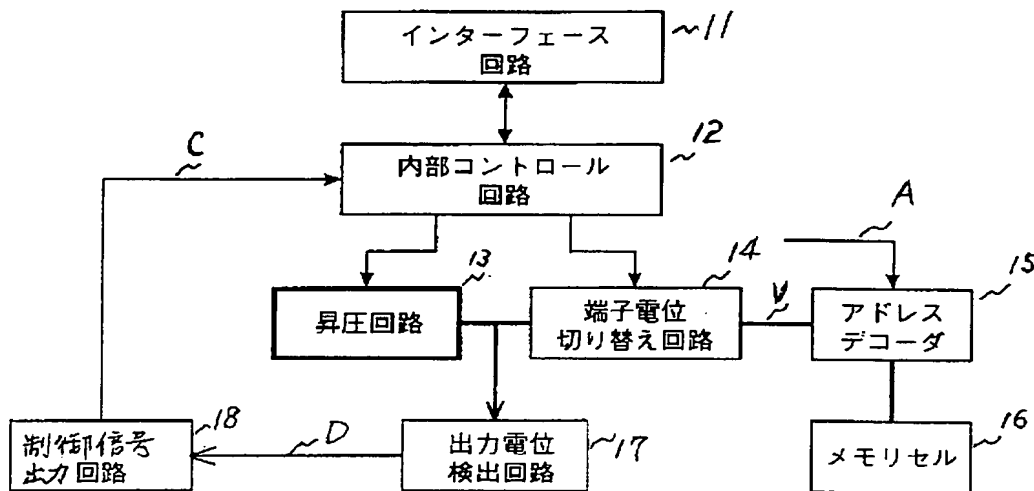
【図 12】高電位検知回路と低電位検知回路とを含む出力電位検出回路の構成図である。

【図 13】図 6 に示されるラッチ回路の構成図である。

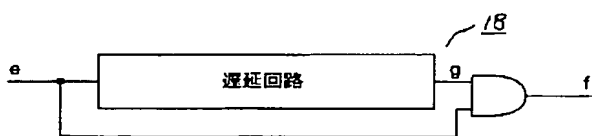
【符号の説明】

11	インターフェース回路
12	内部コントロール回路
13	昇圧回路
14	端子電位切り替え回路
15	アドレスデコーダ回路
16	メモリセル
17	出力電位検出回路
18	制御信号出力回路
D	検出信号
C	制御信号

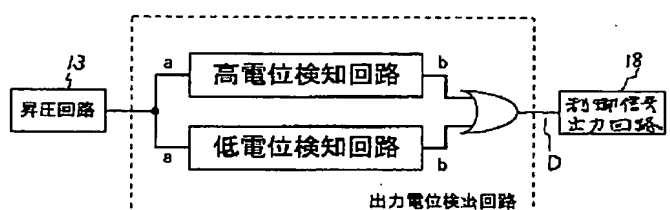
【図 1】



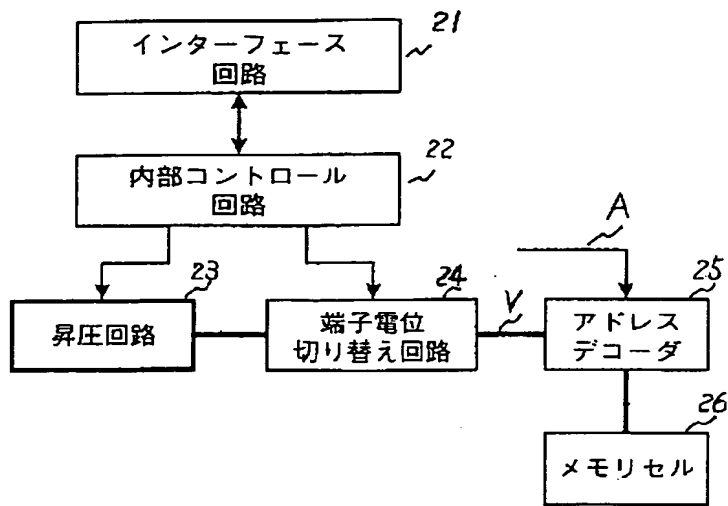
【図 5】



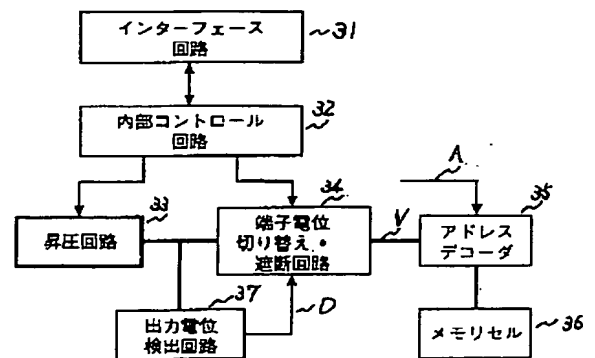
【図 12】



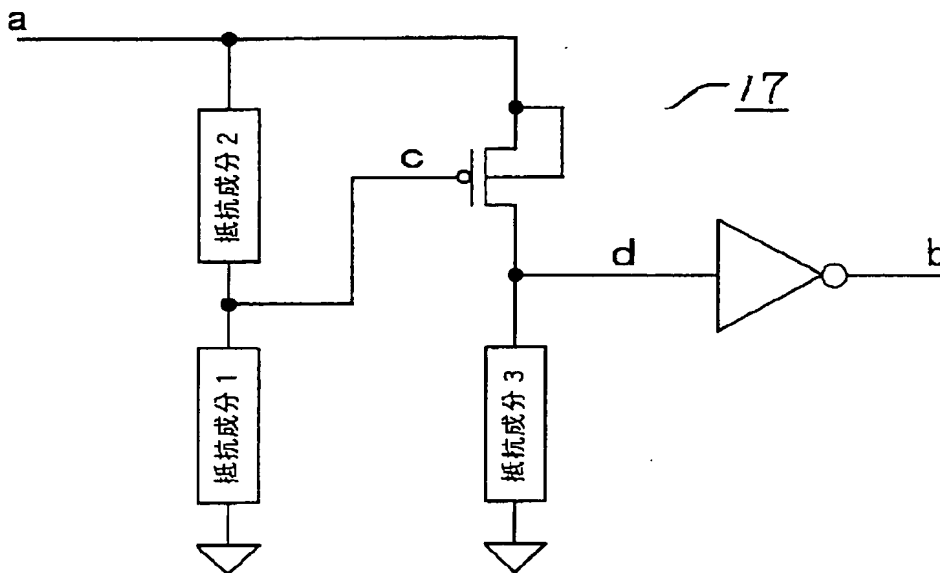
【図2】



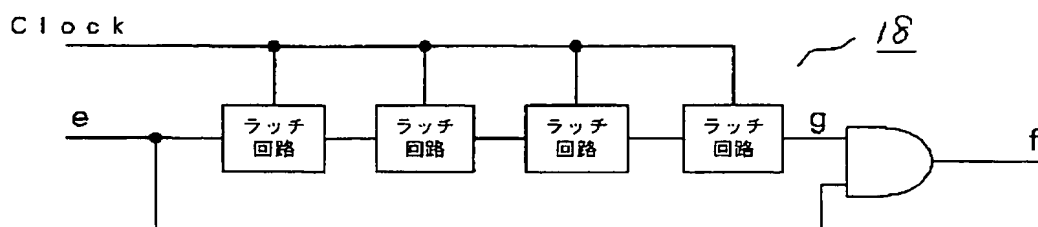
【図3】



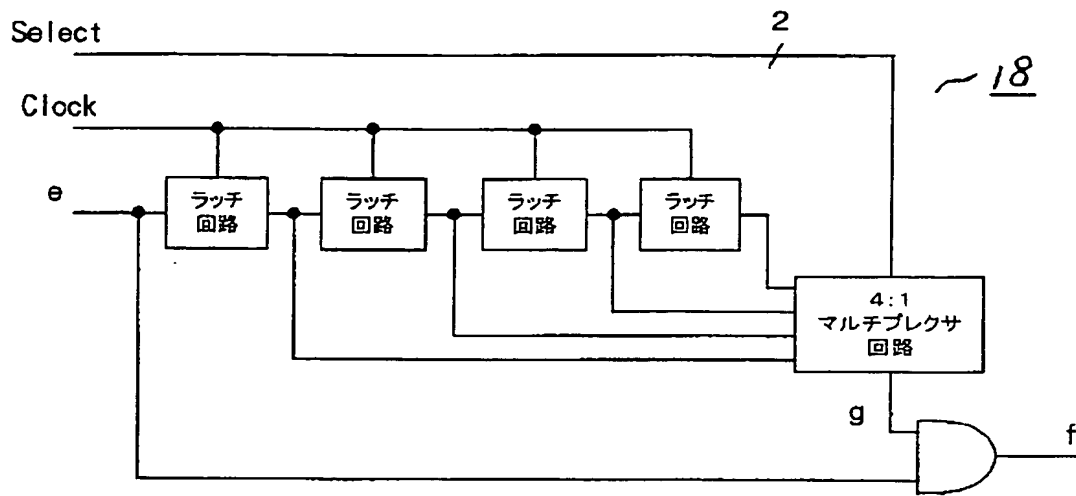
【図4】



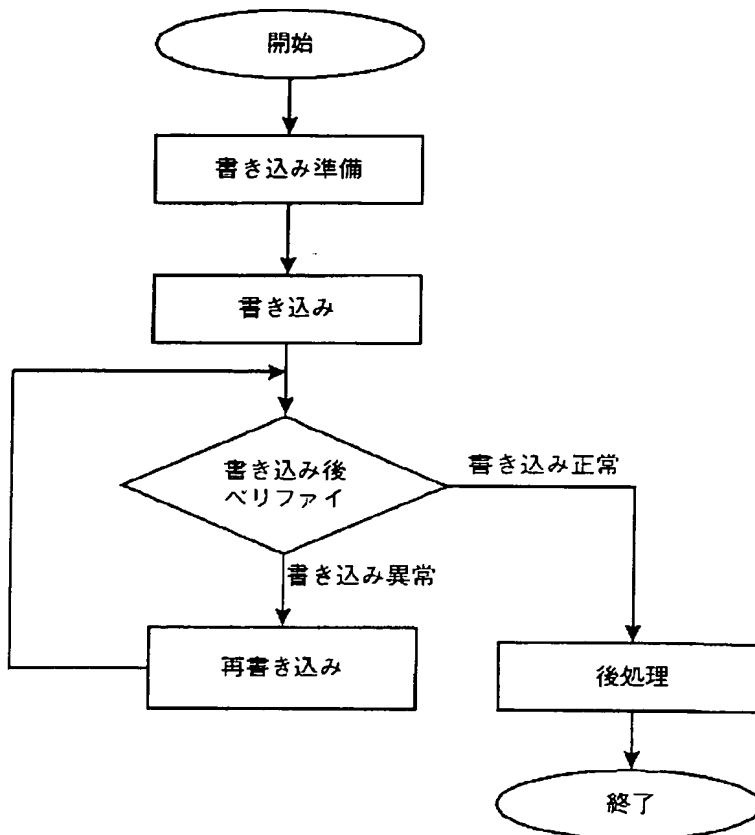
【図6】



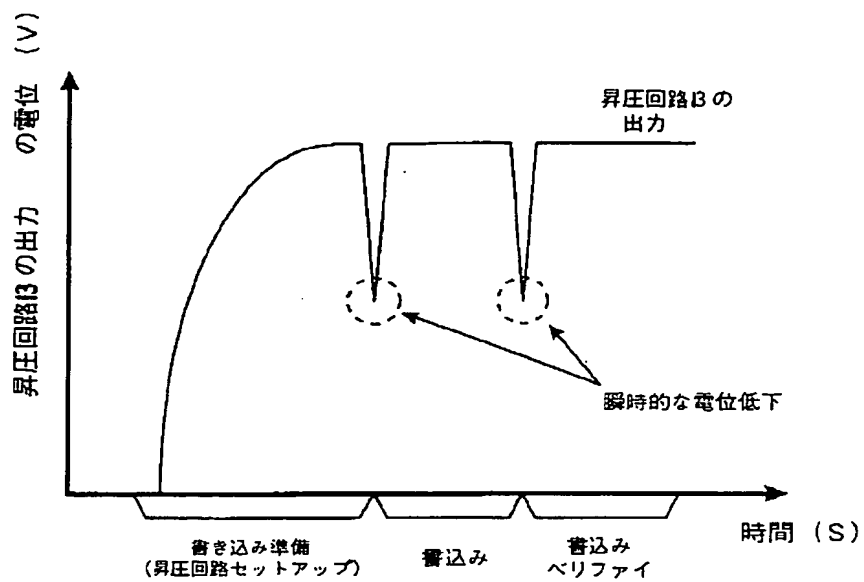
【図7】



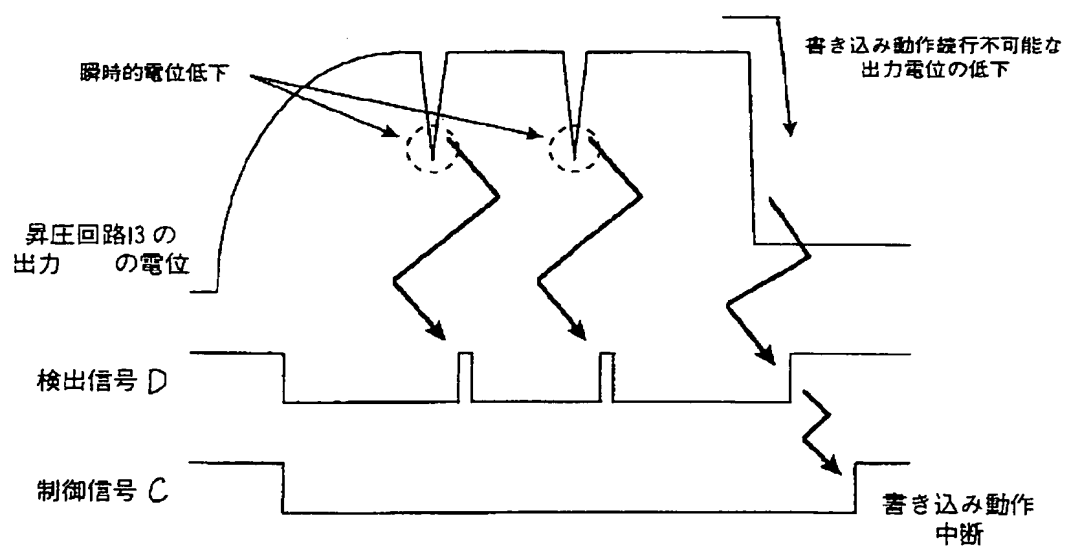
【図8】



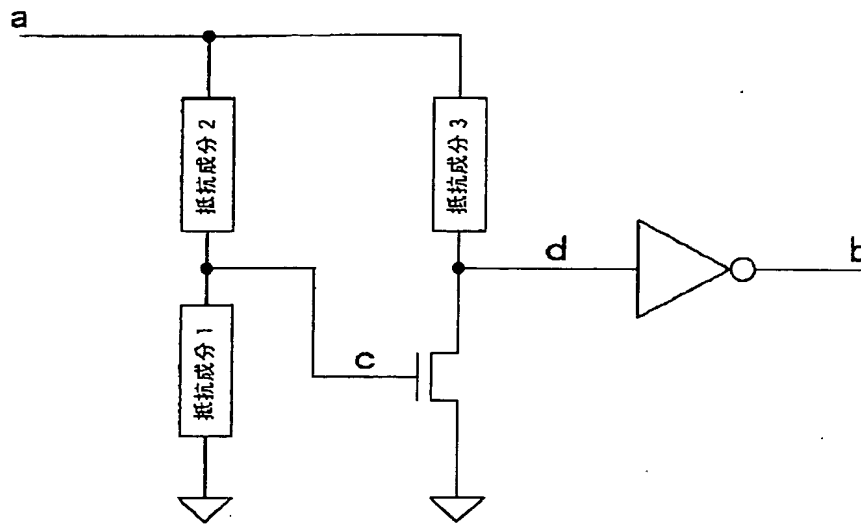
【図9】



【図10】



【図 11】



【図 13】

